

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246476

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/82

(21)Application number : 08-057158

(71)Applicant : OKI ELECTRIC IND CO LTD

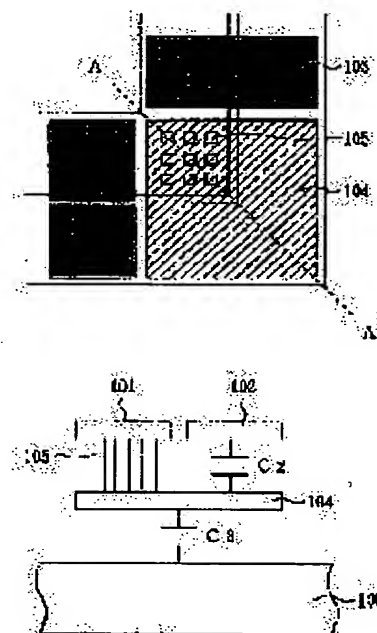
(22)Date of filing : 14.03.1996

(72)Inventor : KURIMOTO MASAHIRO

**(54) POWER SUPPLY LINES AND METHOD OF PLANNING LAYOUT OF THEM IN SEMICONDUCTOR INTEGRATED CIRCUIT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the noise caused by the switching of an I/O buffer by arranging a metal layer that comprises GND power supply lines, a first layer metal parallel plate that comprises VDD power supply lines and a parallel flat plate capacitor.

**SOLUTION:** Ring shape power supply lines that supply power to an I/O buffer 103 comprise a second layer metal of which layout of the VDD power supply lines 101 and the GND power lines 102 is planned in parallel. Generally the I/O buffers 103 are arranged under the power supply lines except for corner parts, a first layer metal parallel plate 104 is arranged at the region where the I/O buffer 103 is not existed and connected to the VDD power supply line 101 that comprises a second layer metal through a through hole 105. As the capacitance between the VDD power supply line 101 and the GND line 102 is increased, the noise caused by the switching of the I/O buffer is reduced without changing chip size and manufacturing process.

**LEGAL STATUS**

[Date of request for examination] 23.08.2001

[Date of sending the examiner's decision of rejection] 24.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246476

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/04		H 0 1 L	D
	21/822			L
	21/82		21/82	

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平8-57158

(22)出願日 平成8年(1996)3月14日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 栗本 雅弘

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

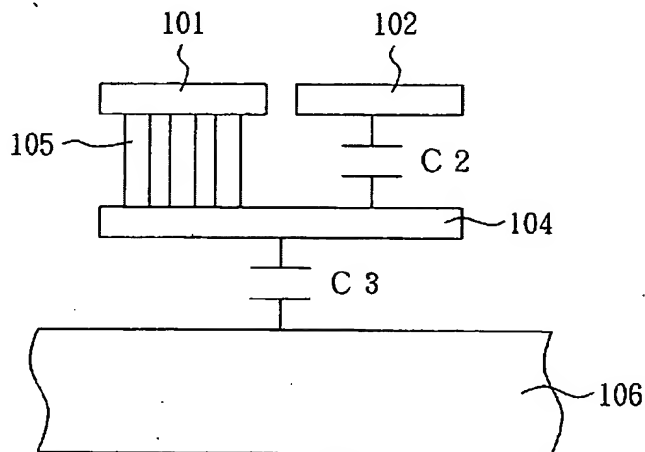
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 半導体集積回路の電源線及びそのレイアウト方法

(57)【要約】

【課題】 特別なチップサイズの増大を招くことなく、また、半導体集積回路の製造プロセスに何らの変更も必要とせずに、I/Oバッファのスイッチングに起因するノイズを低減することができる半導体集積回路の電源線及びそのレイアウト方法を提供する。

【解決手段】 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線において、I/Oバッファが配置されていないチップコーナー部分の電源線領域に配置されるGND電源線102を構成するメタル層と、このメタル層の下部に形成され、このメタル層とは異なるVDD電源線101を構成する第1層メタル平行板104と、前記メタル層と第1層メタル平行板104間、あるいは該第1層メタル平行板104とP型半導体基板106間からなる平行平板コンデンサとを設けるようにしたものである。



101 : VDD電源線

102 : GND電源線

104 : 第1層メタル平行板

105 : スルーホール

106 : P型半導体基板

## 【特許請求の範囲】

【請求項1】 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線において、

(a) I/Oバッファが配置されていないチップコーナー部分の電源線領域に配置されるGND電源線を構成するメタル層と、(b) 該メタル層の下部に形成され、該メタル層とは異なるVDD電源線を構成する第1層メタル平行板と、(c) 前記GND電源線を構成するメタル層と第1層メタル平行板間、あるいは該第1層メタル平行板と半導体基板間からなる平行平板コンデンサとを具備することを特徴とする半導体集積回路の電源線。

【請求項2】 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線のレイアウト方法において、(a) I/Oバッファが配置されていないチップコーナー部分の電源線領域にGND電源線を構成するメタル層を配置し、(b) 該メタル層の下部に該メタル層とは異なるVDD電源線を構成する第1層メタル平行板を形成し、(c) 前記GND電源線を構成するメタル層と前記第1層メタル平行板間、あるいは、該第1層メタル平行板と半導体基板間からなる平行平板コンデンサを構成し、(d) 前記VDD電源線とGND電源線間の容量を増加させたことを特徴とする半導体集積回路の電源線のレイアウト方法。

【請求項3】 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線において、

(a) I/Oバッファが配置されていないチップコーナー部分の電源線領域に配置されるGND電源線を構成するメタル層と、(b) 該メタル層の下部に形成され、該メタル層とは異なるVDD電源線を構成する第1層メタル平行板と、(c) 前記チップコーナー部分の前記電源線領域下部の半導体基板上に形成されるアクティブ領域と、(d) 前記VDD電源線とGND電源線間に形成される容量と、前記アクティブ領域と前記半導体基板間に形成されるPN接合容量とを具備することを特徴とする半導体集積回路の電源線。

【請求項4】 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線のレイアウト方法において、(a) I/Oバッファが配置されていないチップコーナー部分の電源線領域にGND電源線を構成するメタル層を配置し、(b) 該メタル層の下部に該メタル層とは異なるVDD電源線を構成する第1層メタル平行板を形成し、(c) 前記チップコーナー部分の前記電源線領域下部の半導体基板上にアクティブ領域を形成し、(d) 前記VDD電源線とGND電源線間の容量を増加させるとともに、前記アクティブ領域と前記半導体基板間にPN接合容量を追加するようにしたことを特徴とする半導体集積回路の電源線のレイアウト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に

おいて、I/Oバッファに電源を供給する電源線及びそのレイアウト方法に関するものである。

## 【0002】

【従来の技術】 一般に、従来の半導体集積回路のI/Oバッファに電源を供給する電源線は、図3に示すように、I/Oバッファ103の上を、それぞれVDD電源線101、GND電源線102が、配線メタルでLSIチップ周囲をリング状に並行してレイアウトされている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上記した従来のレイアウトの電源線では、相対的にVDD電源線とGND電源線間の容量が小さいために、大きなドライブ能力を有する出力バッファ等が、多数同時スイッチングをした場合などに、ノイズが生じ易いという問題があった。

【0004】 図4は図3のB-B'線断面模式図である。ここでは、半導体基板がP型の場合で説明する。一般的に、基板106はGND電位に接続されるため、GND電源線102と基板106との間には、容量は存在せず、VDD電源線101と基板106との間には、単位面積当たり、 $C1 = \epsilon \cdot \epsilon_0 / d$  という容量が存在する。ここで、 $\epsilon$ は絶縁膜404の比誘電率、 $\epsilon_0$ は真空の誘電率、 $d$ は絶縁膜404の厚さであり、その値は通常の半導体集積回路の場合、単位面積当たり、数 $10^{-5}$  (pF/ $\mu\text{m}^2$ ) 程度である。

【0005】 図5は電源線とI/Oバッファの接続関係を示す図である。この図に示すように、半導体集積回路中に構成されたI/Oバッファ、例えば入力バッファ501や出力バッファ502は、電源パッド503を通して外部電源504と接続されている。ところが一般的には、外部電源504と電源パッド503を互いに接続するパッケージのリードや、ボンディングワイヤが有するインダクタンス505、および半導体集積回路上に形成されるところの電源パッド503と、I/Oバッファ501、502を接続する電源線金属が有するインダクタンス506のために、これらの電源線には、I/Oバッファ501、502のスイッチングに起因するノイズが発生する。

【0006】 そのノイズの大きさは、VDD、GND電源線間の容量が相対的に小さいほど大きくなり、結果として、ノイズの乗った電源線につながるI/Oバッファ501、502には、遅延時間の変動が引き起こされたり、あるいは、それらのバッファ501、502の出力ノードにノイズが発生したりして、LSIの誤動作を生じるといった問題があった。すなわち、I/Oバッファのスイッチングの結果、ある電流 $\Delta I$ が、ある一定時間 $\Delta t$ の間に流れると、 $\Delta I / \Delta t = Q / C$ で決まる電圧 $V$ がノイズとして誘起されるため、電源線の容量 $C$ が小さいほど、ノイズの大きさは大きくなる。

【0007】本発明は、上記問題点を除去し、特別なチップサイズの増大を招くことなく、また、半導体集積回路の製造プロセスに何らの変更も必要とせずに、I/Oバッファのスイッチングに起因するノイズを低減することができる半導体集積回路の電源線及びそのレイアウト方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(1) 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線において、I/Oバッファが配置されていないチップコーナー部分の電源線領域に配置されるGND電源線を構成するメタル層と、このメタル層の下部に形成され、前記GND電源線を構成するメタル層とは異なるVDD電源線を構成する第1層メタル平行板と、前記メタル層と第1層メタル平行板間、あるいはその第1層メタル平行板と半導体基板間からなる平行平板コンデンサとを設けるようにしたものである。

【0009】(2) 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線のレイアウト方法において、I/Oバッファが配置されていないチップコーナー部分の電源線領域に、GND電源線を構成するメタル層を配置し、このメタル層の下部に、このメタル層とは異なるVDD電源線を構成する第1層メタル平行板を形成し、前記GND電源線を構成するメタル層と第1層メタル平行板間、あるいはこの第1層メタル平行板と半導体基板間からなる平行平板コンデンサを構成し、前記VDD電源線とGND電源線間の容量を増加させるようにしたものである。

【0010】上記(1)又は(2)のように構成したので、チップコーナー部のI/Oバッファの存在しない領域を利用して、追加のメタル層を形成し、VDD電源線とGND電源線との間の容量を増加するようにしたので、特別なチップサイズの増大を招くことなく、また、半導体集積回路の製造プロセスに何らの変更も必要とせずに、I/Oバッファのスイッチングに起因するノイズを低減することができる。

【0011】(3) 半導体集積回路のチップ周辺に配置されるI/Oバッファに電源を供給する電源線において、I/Oバッファが配置されていないチップコーナー部分の電源線領域に配置されるGND電源線を構成するメタル層と、このメタル層の下部に形成され、このメタル層とは異なるVDD電源線を構成する第1層メタル平行板と、前記チップコーナー部分の前記電源線領域下部の半導体基板上に形成されるアクティブ領域と、前記VDD電源線とGND電源線間に形成される容量と、前記アクティブ領域と前記半導体基板間に形成されるPN接合容量とを設けるようにしたものである。

【0012】(4) 半導体集積回路のチップ周辺に配置

されるI/Oバッファに電源を供給する電源線のレイアウト方法において、I/Oバッファが配置されていないチップコーナー部分の電源線領域に、GND電源線を構成するメタル層を配置し、このメタル層の下部に、このメタル層とは異なるVDD電源線を構成する第1層メタル平行板を形成し、前記チップコーナー部分の前記電源線領域下部の半導体基板上にアクティブ領域を形成し、前記VDD電源線とGND電源線間の容量を増加させるとともに、前記アクティブ領域と前記半導体基板間にPN接合容量を追加するようにしたものである。

【0013】上記(3)又は(4)のように構成したので、チップコーナー部のI/Oバッファの存在しない電源線領域という限られたスペースでも、第1実施例以上のVDD電源線とGND電源線との間の容量を付加することができ、より一層のノイズの低減を図ることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて詳細に説明する。図1は本発明の第1実施例を示す電源線のレイアウト図であって、半導体集積回路チップのコーナー部の電源線領域に、第1層メタル平行板104を付加したものである。図2は図1のA-A'線断面模式図である。

【0015】図1において、I/Oバッファ103に電源を供給するリング状の電源線は、第2層メタル(図2参照)を用いて、VDD電源線101およびGND電源線102それぞれ並行してレイアウトされている。コーナー以外の場所には、一般的にI/Oバッファ103が電源線の下に配置されているが、コーナー部分のI/Oバッファ103の存在しない領域に第1層メタル平行板104を設置し、スルーホール105を介して、第2層メタルからなるVDD電源線101と電気的に接続したものである。

【0016】図2に示すように、新しく追加された第1層メタル平行板104はスルーホール105を介して、VDD電源線101と電気的に接続しているため、VDDレベルにバイアスされており、対向するGND電源線102、およびP型半導体基板106との間に、それぞれメタル平行板容量C2、C3が形成される。ここで、従来例と比べて本発明の場合、どの程度容量が追加されているかを、図1、図2を例に概算する。ここでは、簡単にするため、VDD電源線101、GND電源線102それぞれの幅は同一とする。コーナー部のVDD電源線101の面積を、例えば、Sとすると、コーナー部のGND電源線102の面積は約3Sとなる。また、追加される第1層メタル平行板104は、電源線101、102とP型半導体基板106の中間に設置されるものとする、従来例の図4において、容量C1の値は、 $C1 = \varepsilon \cdot \varepsilon_0 \cdot S / d$ となる。

【0017】一方、本発明の図2において、容量C2の

値は、GND電源線102の面積が約3S、対向する第1層メタル平行板104との間の絶縁体の厚さが、従来例のdに比べて、約d/2となっているため、

$$C2 = \varepsilon \cdot \varepsilon_0 \cdot [(3S) / (d/2)] = 6 \cdot \varepsilon \cdot \varepsilon_0 \cdot S / d = 6 \times C1$$

となる。

【0018】また、容量C3の値は、第1層メタル平行板104の面積が、約4S、対向するP型半導体基板106との間の絶縁体の厚さが、従来例dに比べて、約d/2となっているため、

$$C3 = \varepsilon \cdot \varepsilon_0 \cdot [(4S) / (d/2)] = 8 \cdot \varepsilon \cdot \varepsilon_0 \cdot S / d = 8 \times C1$$

となる。

【0019】従って、本発明におけるトータルの容量は、

$$C2 + C3 = 14 \times C1$$

となり、従来例の約14倍となる。以上のように、第1実施例によれば、チップコーナー部のI/Oバッファの存在しない領域を利用して、追加の第1層メタル平行板を形成し、VDD電源線101とGND電源線102との間の容量を増加するようにしたため、特別なチップサイズの増大を招くことなく、また、半導体集積回路の製造プロセスに何らの変更も必要とせず、I/Oバッファのスイッチングに起因するノイズを低減することができる。

【0020】図6は本発明の第2実施例を示す断面模式図である。第1実施例において追加した第1層メタル平行板104の下部のP型半導体基板106領域に、N型のアクティブ領域107を設置し、前記第1層メタル平行板104とコンタクト108を通して電氣的に接続したものである。N型のアクティブ領域107はVDD電位にバイアスされ、一方、P型基板106はGND電位にバイアスされているため、両者の接点であるPN接合には、逆バイアスが印加されることにより生成される空乏層により、接合容量が生じる。その値は、PN接合の面積S、半導体基板の比誘電率 $\varepsilon_{si}$ 、真空の誘電率 $\varepsilon_0$ 、P型半導体基板の濃度N、電子の電荷量q、接合にかかる電圧Vを用いて、近似的に、

$$C = S \sqrt{(\varepsilon_{si} \cdot \varepsilon_0 \cdot q \cdot N / 2V)}$$

といった式で表される。この値は、通常の半導体集積回路の場合、PN接合の単位面積当たり、数 $10^{-4}$  (pF/ $\mu m^2$ )程度となり、第1実施例で付加した平行板コンデンサ容量に比べて、約10倍の値となる。

【0021】すなわち、第2実施例によれば、チップコーナー部のI/Oバッファの存在しない電源線領域という限られたスペースでも、第1実施例以上のVDD電源線とGND電源線との間の容量を付加することができ、より一層のノイズの低減を図ることができる。上記の実施例では、電源線が2層メタルで構成され、半導体基板がP型の例で説明したが、例えば、電源線が3層メタ

ル、基板がN型の場合であっても、同様の考え方で本発明を適用できることは言うまでもない。例えば、電源線が3層メタルの場合は、追加するメタル平板を2層メタル、あるいは1層メタル、あるいは両者で構成すればよく、基板がN型の場合は、基板上に設置するアクティブ領域をP型に変更すればよい。

【0022】また、電源線が実施例と同様、2層メタルで構成される場合でも、本半導体集積回路が3層メタルの製造プロセスを用いている場合には、追加平行板を電源線の上に第3層メタルを用いて形成するような変形例も可能である。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

#### 【0023】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(A) 請求項1又は2記載の発明によれば、チップコーナー部のI/Oバッファの存在しない領域を利用して、追加の第1のメタル層を形成し、VDD電源線とGND電源線との間の容量を増加するようにしたので、特別なチップサイズの増大を招くことなく、また、半導体集積回路の製造プロセスに何らの変更も必要とせず、I/Oバッファのスイッチングに起因するノイズを低減することができる。

【0024】(B) 請求項3又は4記載の発明によれば、チップコーナー部のI/Oバッファの存在しない電源線領域という限られたスペースでも、第1実施例以上のVDD電源線とGND電源線との間の容量を付加することができ、より一層のノイズの低減を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例を示す電源線のレイアウト図である。

【図2】図1のA-A'線断面模式図である。

【図3】従来の電源線のレイアウト図である。

【図4】図3のB-B'線断面模式図である。

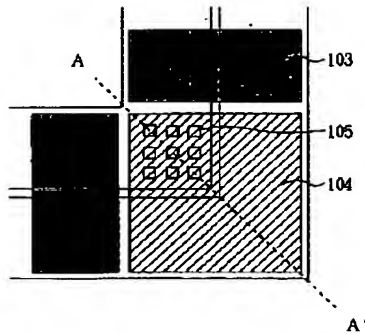
【図5】従来の電源線とI/Oバッファの接続関係を示す図である。

【図6】本発明の第2実施例を示す断面模式図である。

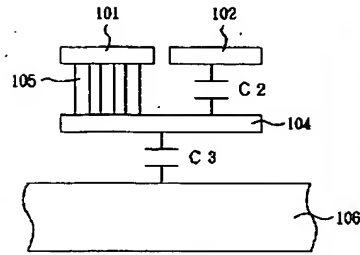
#### 【符号の説明】

101	VDD電源線
102	GND電源線
103	I/Oバッファ
104	第1層メタル平行板
105	スルーホール
106	P型半導体基板
107	N型のアクティブ領域
108	コンタクト

【図 1】

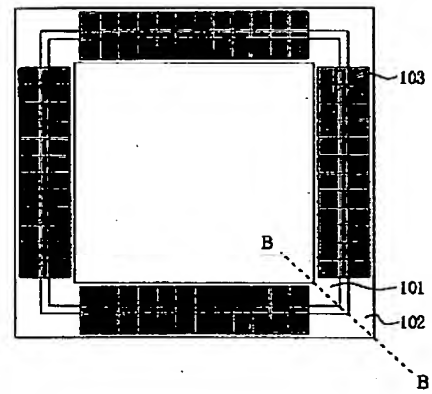


【図 2】

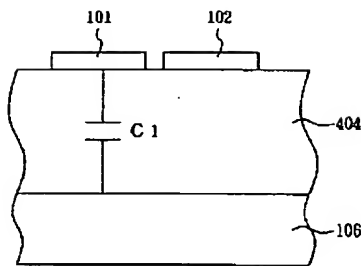


101: VDD電源線  
102: GND電源線  
104: 第1層メタル平行板  
105: スルーホール  
106: P型半導体基板

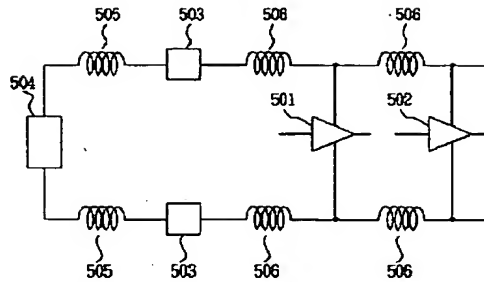
【図 3】



【図 4】



【図 5】



【図 6】

